

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-233652
(43)Date of publication of application : 27.08.1999

(51)Int. Cl. H01L 21/8247
H01L 29/788
H01L 29/792
H01L 27/115

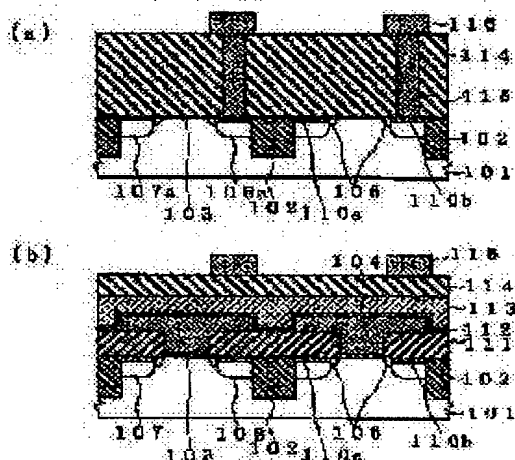
(21)Application number : 10-028142 (71)Applicant : NEC CORP
(22)Date of filing : 10.02.1998 (72)Inventor : INOUE AKIRA
SUGAWARA HIROSHI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress delays due to drain resistance and to execute an operation at higher speed in a memory cell at a distance from a contact by sharing a drain in a plurality of the memory cells, and providing a silicide layer on the surface of the drain.

SOLUTION: A source line and a drain line are formed in common to a plurality of memory transistors in a single memory cell column. The source line is constituted of a common source constituted of a source 107 and an impurity region 107a, and a silicide layer 110a formed on the source. The drain line is constituted of a common drain, constituted of a drain 108 and an impurity region 108a and a silicide layer 110b formed on the common drain. The common source and the common drain, in which the silicide layers 110a and 110b are formed, are formed in common with the respective transistors in a single memory cell column, and they have become a part of the bit line. As a result, hindrance to high-speed operation will be eliminated.



LEGAL STATUS

[Date of request for examination] 10.02.1998
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted]

registration]

[Date of final disposal for application]

[Patent number] 3264241

[Date of registration] 28.12.2001

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-233652 ✓

(43)公開日 平成11年(1999) 8月27日

(51)Int.Cl.⁶

識別記号

F I

H 0 1 L 21/8247
29/788
29/792
27/115

H 0 1 L 29/78 3 7 1
27/10 4 3 4

審査請求 有 請求項の数 7 O L (全 7 頁)

(21)出願番号 特願平10-28142

(22)出願日 平成10年(1998) 2月10日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 井上 顕

東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 菅原 寛

東京都港区芝五丁目7番1号 日本電気株式会社内

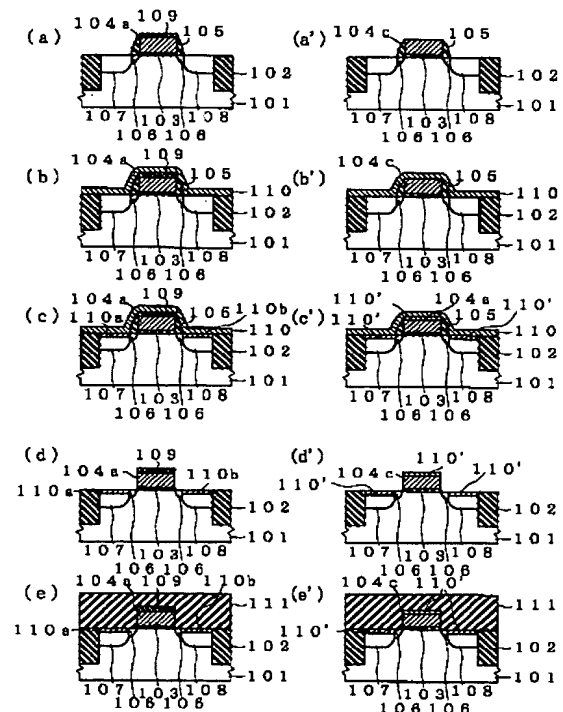
(74)代理人 弁理士 山川 政樹

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 より高速に動作できるようにすることを目的とする。

【解決手段】 下部電極104a上には保護膜109を備えておき、ここにはシリサイド層が形成されない状態としておき、ソース107およびドレイン108表面にシリサイド層110aおよびシリサイド層110bを形成する。



【特許請求の範囲】

【請求項 1】 第 1 導電形の半導体基板上にゲート絶縁膜を介して周囲より絶縁されて形成されたフローティングゲートと、

前記フローティングゲート上に分離絶縁膜を介して形成された制御ゲートと、前記フローティングゲート両脇の前記半導体基板上に形成された第 2 導電形の不純物が導入されたソースおよびドレインと、

前記ドレイン領域表面に形成されたシリサイド層とから構成されたメモリセルを備えたことを特徴とする半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、前記ドレイン領域表面に加えて前記ソース領域表面に形成されたシリサイド層を備えたことを特徴とする半導体装置。

【請求項 3】 請求項 1 または 2 記載の半導体装置において、

前記フローティングゲートは、前記ゲート絶縁膜に接して前記ゲート絶縁膜の幅に形成された下部電極と、

前記下部電極上に前記下部電極に接して前記ソースおよびドレイン上の領域にまで延在して形成された上部電極とから構成されていることを特徴とする半導体装置。

【請求項 4】 請求項 1～3 いずれか 1 項記載の半導体装置において、

前記メモリセル複数が、前記ソースおよびドレインを共通して配置され、

前記制御ゲートは前記ソースおよびドレインの延在方向と垂直な方向に延在して配置されていることを特徴とする半導体装置。

【請求項 5】 請求項 4 記載の半導体装置において、前記ソースもしくはドレインの 1 カ所において、前記メモリセル複수에共通のコンタクトが形成され、前記コンタクトを介して前記ソースもしくはドレインからの引き出し電極が接続されていることを特徴とする半導体装置。

【請求項 6】 請求項 1～5 いずれか 1 記載の半導体装置において、

前記半導体基板上の前記メモリセルが形成されていない領域に、ゲート絶縁膜を介して形成されたゲート電極、および、前記ゲート電極両脇の前記半導体基板上に形成された第 2 導電形の不純物が導入されたソースおよびドレインから構成されたトランジスタを備え、前記トランジスタのソースおよびドレインに加えて前記ゲート電極上にシリサイド層が形成されていることを特徴とする半導体装置。

【請求項 7】 第 1 導電形の半導体基板上にゲート絶縁膜を形成する第 1 の工程と、
前記ゲート絶縁膜上に下部電極を形成する第 2 の工程と、

前記下部電極および前記ゲート電極両脇の前記半導体基板表面が露出した所定の領域に第 2 導電形の不純物を導入してソースおよびドレインを形成する第 3 の工程と、
前記下部電極上に保護膜を形成する第 4 の工程と、
前記保護膜および前記下部電極を含む前記半導体基板上に高融点金属の膜を形成する第 5 の工程と、
前記半導体基板を加熱することで、前記高融点金属の膜に接触している前記ソースおよびドレイン上にシリサイド層を形成する第 6 の工程と、

10 前記高融点金属の膜を除去した後、前記保護膜および前記下部電極を含む前記半導体基板上に絶縁膜を形成する第 7 の工程と、

前記絶縁膜をエッチングして前記保護膜表面を露出させる第 8 の工程と、

前記保護膜を選択的に除去して前記下部電極上部を露出させる第 9 の工程と、

前記下部電極上部に接触し、前記ソースおよびドレイン上の領域に延在した上部電極を形成して前記下部電極と前記上部電極とからなるフローティングゲートを形成する第 10 の工程と、

前記上部電極を覆うように分離絶縁膜を形成する第 11 の工程と、

前記フローティングゲート上に前記分離絶縁膜を介して制御ゲートを形成する第 12 の工程とを少なくとも備えたことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、フローティングゲートを備えたメモリセルを有する半導体装置およびその製造方法に関する。

【0002】

【従来の技術】従来の一般的なフラッシュメモリを、図 5 を用いて説明する。図 5 において、(a) はフラッシュメモリの一部であるメモリセル部分を示す平面図である。また、(b)、(c) は断面図である。このフラッシュメモリのメモリセルは、半導体基板 501 上にゲート絶縁膜 502 を介してフローティングゲート 503 が形成されている。このフローティングゲートは、図 5 (b) に示すように、その断面が「T」文字形に形成され、上部が横にせり出すように形成されている。このような形状とすることで、フローティングゲート 503 の容量を大きくしている。

【0003】また、半導体基板 501 のゲート絶縁膜 502 両脇には、ソース 504 およびドレイン 505 が形成され、また、素子分離用の分離酸化膜 506 により領域が区画され分離されている。また、フローティングゲート 503 上には ONO 膜 507 を介して制御ゲート 508 が形成されている。この制御ゲート 508 がワード線の一部となる。また、複数のフローティングゲート 503 共通にソース 504 およびドレイン 505 が形成さ

れ、その共通に形成されたドレイン 5 0 5 がビット線の一部として用いられている。

【0 0 0 4】このフラッシュメモリは、図 5 に示すように、紙面横方向に分離酸化膜 5 0 6 で区画されたメモリセルが複数配列している。また、紙面縦方向には、フローティングゲート複数が配置され、それらで 1 つのメモリセル列を構成している。そして、図 5 (c) に示すように、ビット線の一部として用いられている共通のドレイン 5 0 5 より、1 つのメモリセル端部において、コンタクト 5 0 9 を介してビット配線 5 1 1 に接続している。このビット配線 5 1 1 は、制御ゲート 5 0 8 上に層間絶縁膜 5 1 0 を介して形成されている。

【0 0 0 5】以上示したように、上述のフラッシュメモリでは、複数のメモリセルに共通してソース・ドレインを配置し、そのドレインをビット線の一部として用い、ビット線に引き出すためのコンタクトを複数のメモリセルに 1 つ配置するようにした。このため、図 5 の紙面縦方向にメモリセルの間隔を狭めることが可能となり、セルサイズの縮小化を図ることが可能となる。

【0 0 0 6】

【発明が解決しようとする課題】ところで、例えばマイコン混載用のフラッシュメモリでは、高速で動作するマイコンに対応させるため、より高速な読み出しが要求される。しかし、上述したように、複数個のメモリセルにドレインを共通とし、その 1 カ所でコンタクトをとるセルアレイでは、ドレイン領域のシート抵抗が 1 0 0 Ω / \square もあるので、コンタクトから遠いメモリセルには大きなドレイン抵抗が付き、高速動作を阻害するという問題があった。

【0 0 0 7】この発明は、以上のような問題点を解消するためになされたものであり、より高速に動作できるようにすることを目的とする。

【0 0 0 8】

【課題を解決するための手段】この発明の半導体装置は、第 1 導電形の半導体基板上にゲート絶縁膜を介して周囲より絶縁されて形成されたフローティングゲートと、フローティングゲート上に分離絶縁膜を介して形成された制御ゲートと、フローティングゲート両脇の半導体基板に形成された第 2 導電形の不純物が導入されたソースおよびドレインと、ドレイン領域表面に形成されたシリサイド層とから構成されたメモリセルを備えるようにした。また、フローティングゲートが、ゲート絶縁膜に接してゲート絶縁膜の幅に形成された下部電極と、下部電極上に下部電極に接してソースおよびドレイン上の領域にまで延在して形成された上部電極とから構成されているようにした。また、加えて、ソース領域表面に形成されたシリサイド層を備えるようにした。したがって、この半導体装置においては、フローティングゲートが配置されている所から離れたところにかけてのドレインの抵抗が低くなる。また、この発明の半導体装置の製

造方法は、まず、第 1 導電形の半導体基板上にゲート絶縁膜を形成し、ついで、ゲート絶縁膜上に下部電極を形成し、ついで、下部電極およびゲート電極両脇の半導体基板表面が露出した所定の領域に第 2 導電形の不純物を導入してソースおよびドレインを形成し、ついで、下部電極上に保護膜を形成する。次に、保護膜および下部電極を含む半導体基板上に高融点金属の膜を形成し、ついで、半導体基板を加熱することで、高融点金属の膜に接触しているソースおよびドレイン上にシリサイド層を形成する。次に、高融点金属の膜を除去した後、保護膜および下部電極を含む半導体基板上に絶縁膜を形成し、ついで、絶縁膜をエッチングして保護膜表面を露出させ、ついで、保護膜を選択的に除去して下部電極上部を露出させ、ついで、下部電極上部に接触してソースおよびドレインの上の領域に延在した上部電極を形成して下部電極と上部電極とからなるフローティングゲートを形成する。次に、上部電極を覆うように分離絶縁膜を形成し、ついで、フローティングゲート上に分離絶縁膜を介して制御ゲートを形成するようにした。したがって、このように製造したので、ソースおよびドレイン上にシリサイド層を形成するときに、下部電極上にはシリサイド層が形成されない。また、フローティングゲートの上部がソースおよびドレイン領域上に延在して形成されていても、ソースおよびドレイン上にシリサイド層が形成される。

【0 0 0 9】

【発明の実施の形態】以下この発明の実施の形態を図を参照して説明する。図 1 は、この発明の実施の形態における半導体装置の製造方法を示す説明図である。以下、この発明の実施の形態における半導体装置に関して、その製造方法とともに説明する。まず、図 1 (a) に示すように、半導体基板 1 0 1 上の素子分離領域 1 0 2 で区画された領域に、次に示す構造体を形成する。これは、メモリセルを構成するフローティングゲートを有するトランジスタの一部であり、ゲート絶縁膜 1 0 3 上に形成された下部電極 1 0 4 a と、下部電極 1 0 4 a の側壁に形成されたサイドウォール 1 0 5 下の領域に形成された低濃度領域 1 0 6 と、その低濃度領域 1 0 6 に連続して形成された不純物領域であるソース 1 0 7 およびドレイン 1 0 8 から構成されている。

【0 0 1 0】なお、下部電極 1 0 4 a は、ポリシリコンから構成されている。また、半導体基板 1 0 1 はたとえば p 形であり、低濃度領域 1 0 6 はたとえば n 形不純物が低濃度に導入された領域であり、また、ソース 1 0 7 およびドレイン 1 0 8 は、たとえば n 形の不純物が導入された領域である。そして、下部電極 1 0 4 a 上に、シリコン窒化物からなる保護膜 1 0 9 が形成された状態としておく。下部電極 1 0 4 a は、例えばその電極材料からなる膜を形成した後、公知のフォトリソグラフィ技術などによりパターニングすることで形成する。したがっ

て、その電極材料膜上にシリコン窒化物からなる絶縁膜を所定の膜厚に形成しておき、この後、上述したパターンニングを行うようにすれば、図1(a)に示すように、下部電極104a上に保護膜109が形成された状態が得られる。

【0011】また、サイドウォール105は、絶縁物から構成されている。このサイドウォール105は、よく知られているように、下部電極104aを形成した後、この上に絶縁膜を所定の厚さに形成し、ついで、垂直異方性を有するドライエッチングによりエッチバックすることなどにより形成すればよい。ところで、メモリセル形成領域周辺に形成される周辺回路領域においては、図1(a')に示すように、図1(a)における下部電極104aをゲート電極104cとしたトランジスタが同時に形成されることになるが、この周辺回路領域においては、ゲート電極104c上に保護膜が形成されないようにする。すなわち、前述したシリコン窒化物からなる絶縁膜がこの領域には形成されないようにすればよい。

【0012】次に、図1(b)に示すように、半導体基板101上全域にコバルト膜110を形成する。このとき、図1(b')に示すように、周辺回路領域においても、コバルト膜110が形成される。そして、この状態で加熱するなどによりコバルト膜110に直接接触しているシリコンの領域をシリサイド化することで、図1(c)に示すように、ソース107およびドレイン108表面にシリサイド層110aおよびシリサイド層110bを形成する。ここで、下部電極104a上には保護膜109があるのでシリサイド層は形成されないが、図1(c')に示すように、周辺回路領域におけるゲート電極104c上には保護膜がないのでシリサイド層110'が形成される。なお、図1(c')に示すように、ゲート電極104c両脇のソース107'およびドレイン108'表面にもシリサイド層110'が形成される。

【0013】次に、コバルト膜110を除去し(図1(d), (d'))、この後、図1(e), (e')に示すように、半導体基板101上にシリコン酸化物からなる層間膜111を形成する。次に、図2(f)に示すように、化学的機械研磨法などにより、保護膜109表面が露出するまで層間膜111をエッチバックする。このとき、図2(f')に示すように、シリサイド層110aが上部に形成されているゲート電極104c上には、層間膜111が残っており、シリサイド層110'が露出していない。

【0014】次に、図2(g)に示すように、シリコン酸化物に対してシリコン窒化物を選択的にエッチングすることで、保護膜109を除去する。次に、図2(h)に示すように、保護膜109が除去されることで露出した下部電極104a表面を含む層間膜111上に、下部電極104aと同様の導電性材料であるポリシリコンが

らなる導電性膜を形成し、これを部分的に除去することで、下部電極104a上の領域に下部電極104aに接触して上部電極104bを形成する。そして、それら下部電極104aと上部電極104bとでフローティングゲート104が形成される。これら図2(g)から図2(h)における工程の間、図2(g')および図2(h')に示すように、周辺回路領域においては変化はない。

【0015】次に、図2(i)に示すように、フローティングゲート104を含む層間膜111上にONO膜112を形成する。このONO膜112は、シリコン窒化物からなる絶縁膜をシリコン酸化物からなる絶縁膜で挟んだ3層構造となっている。このとき、周辺回路領域においては、図2(i')に示すように、層間膜111上に、ONO膜112が形成された状態となる。次に、図2(j)に示すように、フローティングゲート104を跨ぐように制御ゲート113を形成する。この制御ゲート113は、図2の紙面に平行な方向に延在しているものである。なお、図2(j')に示すように、この制御ゲート113は、周辺回路領域上には形成されない。

【0016】そして、制御ゲート113を含む全域に層間膜114を形成した後、図3(a)に示すように、フローティングゲートおよび制御ゲートが形成されていない領域において、ドレイン108に続いて形成されている不純物領域108aに、シリサイド層110bを介して接続するコンタクト115を形成し、これに接続するビット配線116を形成する。なお、ソース107に続いて形成されている不純物領域107a上には、シリサイド層110aが形成されている。この結果、図3(a), (b)に示すように、このビット配線116は、「コンタクト115」および「ドレイン108およびこれに連続している不純物領域108a上にかけて形成されているシリサイド層110b」を介し、フローティングゲート104が形成されているトランジスタのドレイン108に接続することになる。

【0017】ここで、この実施の形態におけるメモリセルの等価回路を図4に示す。図4に示すように、点線で囲った領域401が1つのメモリセル列を構成している。また、ソースライン402とドレインライン403とが1つのメモリセル列の中で、複数のメモリトランジスタに共通に形成されている。ここで、この実施の形態においては、ソースライン402は、上述したソース107およびこれに連続している不純物領域107aで構成された共通ソースと、それらの上に形成されたシリサイド層110aで構成されることになる。また、同様に、ドレインライン403は、上述したドレイン108およびこれに連続している不純物領域108aで構成された共通ドレインと、それらの上に形成されたシリサイド層110bで構成されることになる。

【0018】したがって、シリサイド層110a, 110b

0bが形成された共通ソース、共通ドレインが、1つのメモリセル列の中で各トランジスタに共通に形成され、ビット線の一部となっている。そして、そのビット線の一部として用いているシリサイド層110a, 110bのシート抵抗は $5\Omega/\square$ 程度と非常に低い。この結果、この実施の形態のように、複数のメモリセルでドレインを共通とし、そのドレイン表面にシリサイド層を備えるようにすれば、そのドレイン領域上のシリサイド層の1カ所でコンタクトをとるセルアレイとしても、コンタクトから遠いメモリセルであっても大きなドレイン抵抗

【0019】

【発明の効果】以上説明したように、この発明では、第1導電形の半導体基板上にゲート絶縁膜を介して周囲より絶縁されて形成したフローティングゲートと、フローティングゲート上に分離絶縁膜を介して形成した制御ゲートと、フローティングゲート両脇の半導体基板に形成した第2導電形の不純物が導入されたソースおよびドレインと、ドレイン領域表面に形成したシリサイド層とから構成されたメモリセルを備えるようにした。また、フローティングゲートが、ゲート絶縁膜に接してゲート絶縁膜の幅に形成した下部電極と、下部電極上に下部電極に接してソースおよびドレイン上の領域にまで延在して形成した上部電極とから構成するようにした。加えて、ソース領域表面に形成されたシリサイド層を備えるようにした。この結果、この発明によれば、たとえば、ソースおよびドレインを共通として複数のメモリセルを配置し、それら複数のメモリセルにおいて1カ所でドレインコンタクトをとるように構成し、共通のドレインをビット線の一部として用いるようにしても、コンタクトから離れたメモリセルにおいてもドレイン抵抗による遅延が

抑制され、より高速動作に動作させることができるようになる。また、共通のドレイン、ソースの抵抗を低くできるので、より多くのメモリセルを束としたメモリセルアレイに対して、ビット線引き出しのためのコンタクトを1つとるようにでき、メモリセル形成領域の面積を小さくできることになる。また、この発明の半導体装置の製造方法によれば、フローティングゲートの上部がソースおよびドレイン領域上に延在して形成されていても、ソースおよびドレイン上にシリサイド層を形成することができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態における半導体装置の製造方法を示す説明図である。

【図2】 図1に続く、この発明の実施の形態における半導体装置の製造方法を示す説明図である。

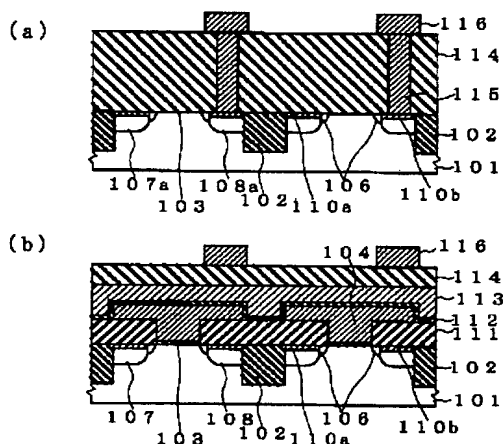
【図3】 この発明の実施の形態における半導体装置の一部構成を示す断面図である。

【図4】 この発明の実施の形態における半導体装置の構成を示す回路図である。

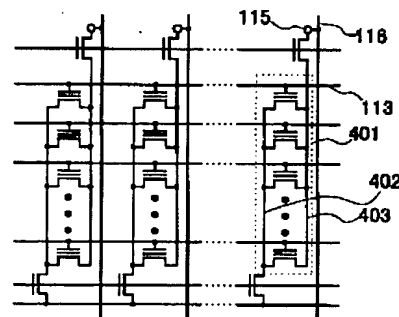
【符号の説明】

101…半導体基板、102…素子分離領域、103…ゲート絶縁膜、104…フローティングゲート、104a…下部電極、104b…上部電極、104c…ゲート電極、105…サイドウォール、106…低濃度領域、107…ソース、108…ドレイン、109…保護膜、110…コバルト膜、110a, 110b, 110'…シリサイド層、111…層間膜、112…ONO膜、113…制御ゲート、114…層間膜、115…コンタクト、116…ビット配線。

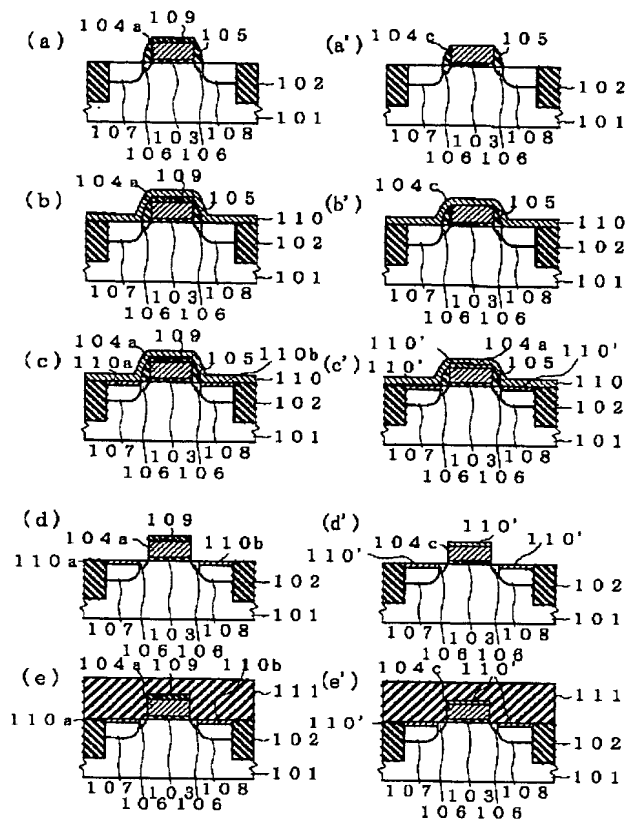
【図3】



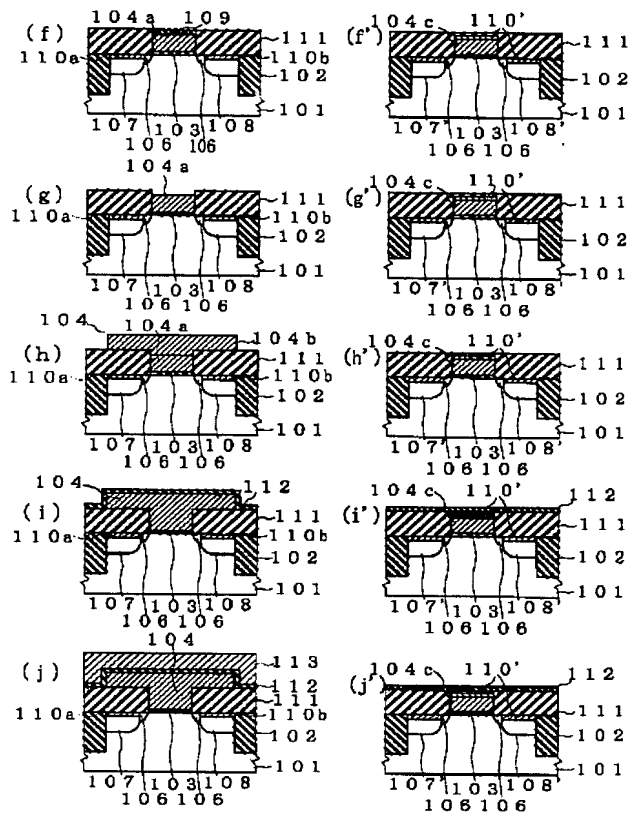
【図4】



【図1】



【図2】



【図5】

